

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-220093

(43)Date of publication of application : 10.08.1999

(51)Int.Cl.

H01L 27/04  
H01L 21/822

(21)Application number : 10-017376

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 29.01.1998

(72)Inventor : SHIINA MASAHIRO

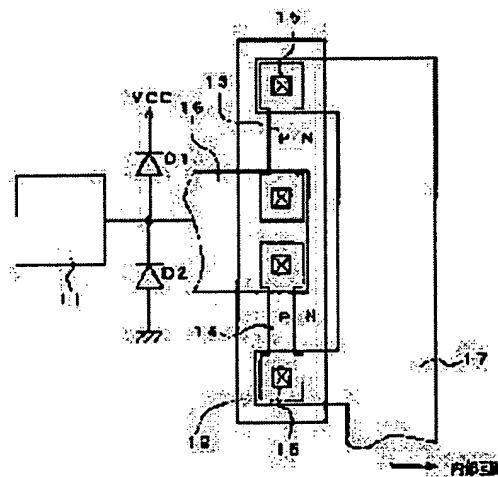
## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

## (57)Abstract:

PROBLEM TO BE SOLVED: To increase the strength against electrostatic breakdown of a semiconductor integrated circuit by lowering the energy density with respect to an input protective resistor.

SOLUTION: A plurality of bonding pads 11 are arranged on the circumferential part of a semiconductor chip, and diodes D1 and D2 are connected between fixed potentials.

Resistance regions 13 and 14 are formed in an island 12 using selective diffusion method. One end of the resistance regions 13 and 14 is connected to the bonding pad 11 through an electrode 16, and the other end of the resistance regions is connected to an internal circuit. As a result, the energy of static electricity can be dispersed, and the strength against static electricity can be improved.



## LEGAL STATUS

[Date of request for examination] 15.02.2000

[Date of sending the examiner's decision of rejection] 02.04.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-220093

(43) 公開日 平成11年(1999) 8月10日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 27/04

H 0 1 L 27/04

H

21/822

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号 特願平10-17376

(22) 出願日 平成10年(1998) 1月29日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通 2 丁目 5 番 5 号

(72) 発明者 椎名 正弘

大阪府守口市京阪本通 2 丁目 5 番 5 号 三

洋電機株式会社内

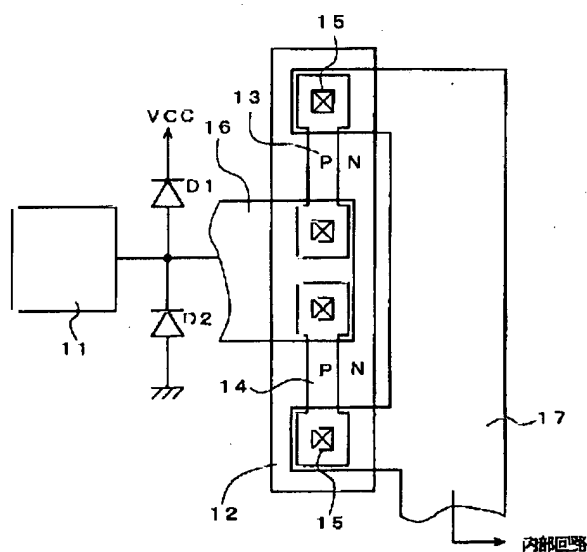
(74) 代理人 弁理士 安富 耕二 (外 1 名)

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 入力保護抵抗に対するエネルギー密度を弱めることにより、半導体集積回路の静電破壊に対する強度を増大する。

【解決手段】 半導体チップの周辺部分に多数のボンディングパッド 11 を配置し、固定電位との間にダイオード D1、D2 を接続する。一つのアイランド 12 内に選択拡散によって抵抗領域 13、14 を形成する。電極 16 によって各抵抗領域 13、14 の一端をボンディングパッド 11 に接続し、他端を電極 16 によって内部回路に接続する。



11 ボンディングパッド

13、14 抵抗領域

15 コンタクトホール

16、17 電極配線

**【特許請求の範囲】**

**【請求項1】** 外部との電氣的接続を行うボンディングパッドと内部回路との間に静電破壊保護用の保護抵抗を接続した半導体集積回路であって、前記保護抵抗を複数本形成し、該複数本の保護抵抗を並列接続して前記ボンディングパッドと内部回路との間に接続したことを特徴とする半導体集積回路。

**【請求項2】** 前記ボンディングパッドと電源電位との間に保護ダイオードを具備することを特徴とする請求項1記載の半導体集積回路。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】**本発明は、内部回路を静電破壊から保護するためにボンディングパッドに接続する保護装置に関する

**【0002】**

**【従来の技術】**従来、縦型バイポーラトランジスタを含む半導体集積回路の静電破壊保護装置は、図2に示したように、外部入出力用のボンディングパッド1の近傍にPN接合ダイオードD1、D2を形成し、ダイオードD1のアノード側をボンディングパッド1にカソード側を電源電位VCCに接続し、ダイオードD2のカソードをボンディングパッド1にアノードを接地電位GNDに接続し、更にボンディングパッド1から延在する電極配線2をP型の拡散領域で形成した抵抗領域3の一端に接続し、抵抗領域3の他端を電極配線4に接続して、内部回路に接続するような構成を採っていた（例えば、特開平6-29466号公報）。

**【0003】**斯かる保護装置においては、ボンディングパッド1に過大／過小レベルの入力があつたときにダイオードD1、D2のどちらかがONして前記過大／過小レベルの入力による電流を逃がし、抵抗領域3は前記ダイオードD1、D2がONするまでの過渡期間中に過大電流が内部回路に流れないように制限する働きを行う。

**【0004】**これらの保護装置の性能を評価するときは、先ず完成時にボンディングパッド1と電源電位VCC用のパッド間、及びボンディングパッド1と電源電位GND用のパッド間の電流電圧特性を測定してイニシャル波形とし、この後ボンディングパッド1に静電気に相当する電圧を意図的に印加し、再度ボンディングパッド1と電源電位VCC用のパッド間、及びボンディングパッド1と電源電位GND用のパッド間の電流電圧特性を測定して、その波形を先に測定したイニシャル波形と比較することにより行われる。波形が一致したときはこの集積回路が意図的に印加した電圧までの静電破壊耐量を、少なくとも有するという判定を行っている。加えて、前記静電気に相当する電圧を意図的に印加する前後で実際の回路動作の確認なども行っている。

**【0005】**

**【発明が解決しようとする課題】**保護抵抗は、入力イン

ピーダンスに影響を及ぼさない範囲で、且つ経験的に数 $\Omega$ ～10数 $\Omega$ の抵抗値を持つように設計していた。抵抗領域3を形成するP型拡散領域の不純物プロファイルは、そのプロセス内で最適の値に設計される。つまり保護抵抗を形成するためだけに特別設計されるということはない。そのため、抵抗領域3も他の素子と同じように微細化されるので、静電破壊に対する強度が劣化してくるという欠点があつた。

**【0006】**

**【課題を解決するための手段】**本発明は上記従来の課題に鑑み成されたもので、ボンディングパッドと内部回路との間に接続する保護抵抗を複数本設けて並列接続することにより、静電気のエネルギーを分散し、もって静電気に対する強度を向上した集積回路を提供するものである。

**【0007】**

**【発明の実施の形態】**以下に本発明の1実施の形態を、図1を参照しながら詳細に説明する。本発明の集積回路は、P型基板上にN型のエピタキシャル層を形成し、該エピタキシャル層を接合分離して多数のアイランドを形成し、該アイランドの各々にNPNトランジスタ、PNPトランジスタ、各種受動素子などを形成し、これらの素子をアルミ電極配線で相互接続して回路網を構成したものである。半導体チップの周辺部分には前記回路網の信号入出力、及び電源印加用の多数のボンディングパッド11が設けられる。少なくとも信号入出力用のボンディングパッド11には、その全てに以下の静電破壊保護素子が接続される。

**【0008】**静電破壊保護素子は、保護ダイオードD1、D2と、保護抵抗とで構成している。保護ダイオードD1のアノードはボンディングパッド11にカソードは電源電位VCCに各々接続され、保護ダイオードD2のカソードはボンディングパッド11にアノードは接地電位GNDに各々接続されている。ボンディングパッド11に電源電位Vccを越える過大電位の入力があつたときには保護ダイオードD1がONし、ボンディングパッド11に接地電位GNDを下回る過小電位の入力があつたときには保護ダイオードD2がONしてそれぞれ静電気による電流を固定電位に逃がすという動作を行う。加えて、保護抵抗は各ダイオードD1、D2がONするまでの過渡期間中に前記過大／過小電位の印加による過大電流が、内部回路に流れないように制限する働きを行う。

**【0009】**この保護抵抗は、P+分離領域で囲まれたN型のアイランド12のひとつに、選択拡散によって形成したP型の抵抗領域13、14で構成される。各抵抗領域13、14は同一形状のパターンで設計され、両端部に拡張部を有し、該拡張部に電極とのコンタクト用のコンタクトホール15を具備する。抵抗領域13、14の一端はボンディングパッド11から延在する電極配線

16に接続され、抵抗領域13、14の他端は電極配線17によって共通に接続される。電極配線17は延在して内部回路に接続される。その結果、抵抗領域13、14は並列接続されて、ボンディングパッド11と内部回路との間に直列接続される。

【0010】尚、抵抗領域13、14を並列接続し且つ従来と同程度の抵抗値を持たせるために、各抵抗領域13、14の各々のパターンサイズは、従来と同じ線幅で従来の2倍の長さを持つ。また、抵抗領域13、14は電極配線16を中心とした線対称となるように配置されている。このように分割して配置することで、1本の抵抗素子で形成する場合に比べてパターンレイアウトの自由度が向上する。

【0011】本発明の構成によれば、入力保護抵抗を複数本形成して並列接続したことにより、ボンディングパ

ッド11に印加された静電エネルギーによる電流が抵抗領域13、14に分散され、各抵抗領域13、14におけるエネルギー密度が1/2になる。従って、同じ抵抗値を持たせるために1本の拡散領域でのみ構成した保護抵抗に比べて、静電破壊に対する強度が、約30%以上向上することが明らかになった。

【0012】

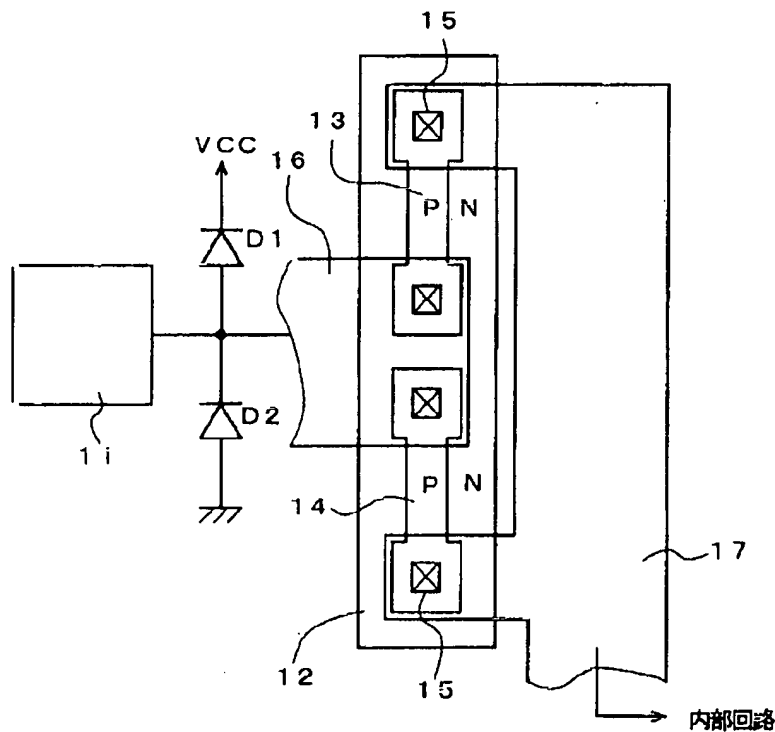
【発明の効果】以上に説明したとおり、本発明は、抵抗領域13、14を並列接続することによって静電破壊に対する強度を増大することができる利点を有する。従って、半導体集積回路の微細化を更に推し進めることができる利点を有する。

【図面の簡単な説明】

【図1】本発明を説明するための平面図である。

【図2】従来例を説明するための平面図である。

【図1】



11 ボンディングパッド

13、14 抵抗領域

15 コンタクトホール

16、17 電極配線

【図2】

